

Partial Translation of

Japanese Utility Model Laid-Open Publication No. 57-138421

Filing Date: February 25, 1981

Inventor: Tadayuki OGAWA c/o NEC Corporation

Applicant of Utility Model: (423) NEC Corporation

Best Available Copy

[From page 6, line 16 to page 7, line 9]

By defining a width of the upper electrodes 4a, 5a (or 4b, 5b) in a fan-like form as discussed above, it will become equivalent to one provided with a distributed constant line in which a line width gradually increases in extending from the strip line 8a (or 8b) towards the GaAsFET 2. The impedance of the distributed constant line becomes smaller as its line width becomes larger and it is therefore possible to achieve the effect of easing irregularities in signal phases at spots of the GaAsFET 2 of low impedance, wherein such irregularities are due to irregularities in lengths of the bonding wire 6a (or 6b) at spots where the impedance is high. Accompanying the gradual increase in line width, the impedance of the distributed constant line will also become gradually lower so that it is possible to achieve the effect that conversion of impedances is smoothly performed.

公開実用 昭和57-138421

(正)



## 実用新案登録願(9)

特許庁長官殿 H03H 昭和年月日  
 考案者 名称 56.2.25  
 ナウコウシュウ ハハンドウタイソク チョウ  
 超高周波半導体装置用 セイゴウカイロ  
 インピーダンス整合回路 マトタク  
 考案者 東京都港区芝五丁目33番1号  
 日本電気株式会社内

オガワタダニキ  
小川忠幸

実用新案登録出願人 東京都港区芝五丁目33番1号  
 (423) 日本電気株式会社

代表者 関本忠弘

代理人 〒108 東京都港区芝五丁目33番1号  
 日本電気株式会社内

(6591) 弁理士 内原晋  
 電話 東京 (03) 454-1111(大代表)

## 添付書類の目録



- |   |      |    |
|---|------|----|
| ✓ | 明細書  | 1通 |
| ✓ | 図面   | 1通 |
| ✓ | 委任状  | 1通 |
|   | 願書副本 | 1通 |

方式審査

56 023688

Best Available Copy

## 明細書

### 1. 考案の名称

超高周波半導体装置用インピーダンス整合回路

### 2. 実用新案登録請求の範囲

半導体素子とキャパシタンス素子とを搭載した  
金属の基体の上に前記キャパシタンス素子を含ん  
で構成され、前記半導体素子に接続される前記キ  
ャパシタンス素子の上部電極の幅にテーパーをも  
たせて形成した事を特徴とする超高周波半導体裝  
置用インピーダンス整合回路。

5

10

### 3. 考案の詳細な説明

本考案は超高周波半導体装置用インピーダンス  
整合回路に関し、特に小型な構成が容易な集中定  
数型の超高周波半導体装置用インピーダンス整合  
回路に関する。

15

バイポーラトランジスタ、電界効果トランジス  
タ等の超高周波半導体素子とそれに接続される回

路のインピーダンスを広帯域にわたり整合させるには、浮遊容量あるいは寄生インダクタンス等の不要要素が生ずるのを避ける為に、可能な限り半導体素子に近接して整合回路を半導体装置の内部に設ける内部整合回路が不可欠である。このよう 5  
な内部整合回路の小型化および広帯域化を計る為に、一般に集中定数回路の低域通過型の構成が多く採用される。この場合、直列インダクタンスは 10  
ポンディングワイヤーにより構成し、さらに並列キャパシタンスは片側の電極を放熱と接地を行なうために設けた導体にろう材などで接続して接地電極とし他方の電極を前記のポンディングワイヤーに接続して上部電極とする薄膜キャパシタにより構成した低域通過型の内部整合回路が多用され 15  
る。

近年、マイクロ波用増幅器は、広帯域化に加えて超高速化、高出力化を計る必要性が高まっており、超高速化を実現するため前記半導体素子にはシリコンバイポーラトランジスタと比較して電子移動度が高い GaAsFET (砒化ガリウム電界 20

効果トランジスタ、以下単に GaAsFET と略称する。) を用いる場合が多い。

この GaAsFET を用いる場合、単位 FET (電界効果トランジスタ、以下 FET と略称する。) を多数個並列に接続し大電流を流すことにより超高周波帯における高出力化が計られ、その整合回路は前述の内部整合回路を用いるのが一般的である。この場合、半導体素子のインピーダンスは単位 FET の個数の増大に反比例して小さくなる。

加えて、<sup>イックス</sup>X 帯 ( $8 \sim 12 \text{ GHz}$ ) や <sup>ケースター</sup>Ku 帯 ( $14 \text{ GHz}$  帯) などの超高周波帯では、周波数が高いため半導体素子に寄生リアクタンスが付加されると共に単位 FET の個数が増えるため半導体素子の幅が大きくなり、各単位 FET への超高周波励振電力の均等な分配及び各単位 FET からの出力電力の合成が難しくなる。すなわち規格化された  $50 \Omega$  ストリップ線路の幅より幅の広い半導体素子を用いて大電力化を計る場合、集中定数素子を用いた内部整合回路のキャパシタの上部電極の幅を半導体素子の幅とほぼ等しく形成しなければならず、

5

10

15

20

キャパシタに用いる誘電体の比誘電率あるいは厚みを変えて所望の電極面積と静電容量とを得ている。しかし、キャパシタが分布定数線路として作用する為に上部電極の位置によって超高周波数信号の位相が異なり、さらに前述のポンディングワイヤーに於いても信号の位相がずれる為に、マイクロ波励振電力を各単位FETに対し一様に分配するように、あるいは各単位FETの出力電圧を同位相で合成するようにポンディングワイヤーを多数本並列に接続することは自ずと制限を受けるという問題点がある。このように従来の超高周波半導体装置用インピーダンス整合回路には、インピーダンスを整合させる条件と信号の位相を揃える条件とを共に満足させるのが困難であるという欠点があり、従って整合回路を含む半導体装置において十分な増幅作用が行なわれないという欠点がある。

本考案の目的は、前記欠点を除去し、所要の帯域にわたって損失の少ない特性を容易に実現できる超高周波半導体装置用インピーダンス整合回路

5

10

15

20

を提供する事にある。

本考案の回路は、半導体素子とキャパシタンス素子とを搭載した金属の基体の上に前記キャパシタンス素子を含んで構成され、前記半導体素子に接続される前記キャパシタンス素子の上部電極の幅にテーパーをもたせて構成される。 5

以下、本考案について図面を用いて詳述する。

第1図(a)および(b)は、それぞれ本考案の一実施例を示す上面図および断面図である。放熱体を兼ねる金属の接地導体1上に半導体素子例えばGaAsFET2をろう材で溶接して載置し、その両側に高誘電体薄板3<sup>a, 3b</sup>を配置し、ストリップ線路8<sup>a</sup>(あるいは8<sup>b</sup>)からGaAsFET2に向って幅を扇状に広くした上部電極4<sup>a, 5<sup>a</sup></sup>(あるいは4<sup>b, 5<sup>b</sup></sup>)を高誘電体薄板3<sup>a</sup>上に形成して整合回路の並列キャパシタンスを構成している。

なお、高誘電体薄板3<sup>a</sup>の上下両面とも薄板メタライズされており、その下面是接地電極としてGaAsFET2と同様に接地基体1上にろう材で溶接して載置されている。高誘電体薄板3<sup>a</sup>(あるいは 20

は3b)上に所望のキャパシタンスに対応した面積をもつよう形成した第1の上部電極4a(あるいは4b)と第2の上部電極5a(あるいは5b)とはポンディングワイヤー6a(あるいは6b)で接続し、さらに第2の上部電極5a(あるいは5b)とGaAsFET2の各セルとの間およびアルミナセラミック基板7<sup>a(万ケリは7b)</sup>上に形成されたストリップ線路8a(あるいは8b)第1の上部電極4a(あるいは4b)との間を同様にポンディングワイヤー10aおよび9a(あるいは10bおよび9b)で接続している。これらのポンディングワイヤーは、おのおの整合回路の直列インダクタンスを構成しており、所望のインダクタンスをもちかつマイクロ波励振電力の位相バランスが均一となる位置に配線されている。

前記の如く上部電極4a, 5a(あるいは4b, 5b)の幅を扇状にすることにより、ストリップ線路8a(あるいは8b)からGaAsFET2の方へ向って線路幅が次第に広くなる分布定数線路を設けたものと等価になる。分布定数線路はその

5

10

15

20

234

線路幅が広くなるにつれて、そのインピーダンス  
は小さくなるから、インピーダンスの高い個所で  
のポンディングワイヤー 6 a (あるいは 6 b ) の  
長さの不揃いに起因する信号位相の不揃いはイン  
ピーダンスの低い GaAs FET 2 の個所では、緩  
和される効果を生ずる。また線路幅が次第に広く  
なるに伴なつて分布定数線路のインピーダンスも  
次第に低くなるから、インピーダンスの変換が円  
滑に行なわれるという効果がある。  
5

第 2 図は、第 1 図の実施例の等価回路を示す回  
路図である。入力端 1 1 から入力するマイクロ波  
信号は、直列インダクタンス L 9 a, L 6 a, L  
1 0 a および並列キャパシタンス C 4 a, C 5 a  
から成る整合回路を経て GaAs FET 2 において増  
幅され、さらに直列インダクタンス L 1 0 b, L  
6 b, L 9 b および並列キャパシタンス C 5 b,  
C 4 b から成る整合回路を経て出力端 1 2 から出  
力される。直列インダクタンス L 9 a, L 6 a,  
L 1 0 a (あるいは L 1 0 b, L 6 b, L 9 b )  
はそれぞれポンディングワイヤー 9 a, 6 a,  
10

15

20

# 公開実用 昭和57-138421

10a(あるいは10b, 6b, 9b)に対応し  
また並列キャパシタンスC4a, C5a(あるいは  
C5b, C4b)はそれぞれ上部電極4a, 5  
体a(あるいは5b, 4b)と接地基板1との間の  
キャパシタンスに対応する。

以上説明した如く、本考案にはキャパシタンス  
素子の上部電極の形状を扇状に形成することによ  
ってスムーズなインピーダンス変換が可能で反射  
損失の少ない整合回路を構成できるという効果が  
あり、特に高周波化、高出力化が要求される超高  
周波半導体装置に用いられるインピーダンス整合  
回路において、その効果が大きい。  
10

なお本実施例に於いては2段の低域通過型のイ  
ンピーダンス内部整合回路について説明したが、  
整合回路の段数や型式はこれに限定されず、また  
半導体素子についても電界効果トランジスタに限  
定されるものでは無くバイポーラトランジスタあ  
るいはガンドバイオード、インバットダイオード等  
の2端子能動素子でも同等の効果が生まれる事は  
明らかである。  
15  
20

#### 4. 図面の簡単な説明

第1図(a)および(b)は、それぞれ本考案の一実施例を示す平面図および断面図、第2図は第1図の実施例の等価回路を示す回路図である。

図において、1……接地基体、2……GaAs F E T、3<sup>a, 3b</sup>……高誘電体薄板、4a, 4b, 5a, および5b……上部電極、6a, 6b, 9a, 9b, 10a, 10b……ポンディングワイヤー、7<sup>a, 7b</sup>……アルミナセラミック基板および8<sup>a, 8b</sup>……ストリップ線路である。

5°

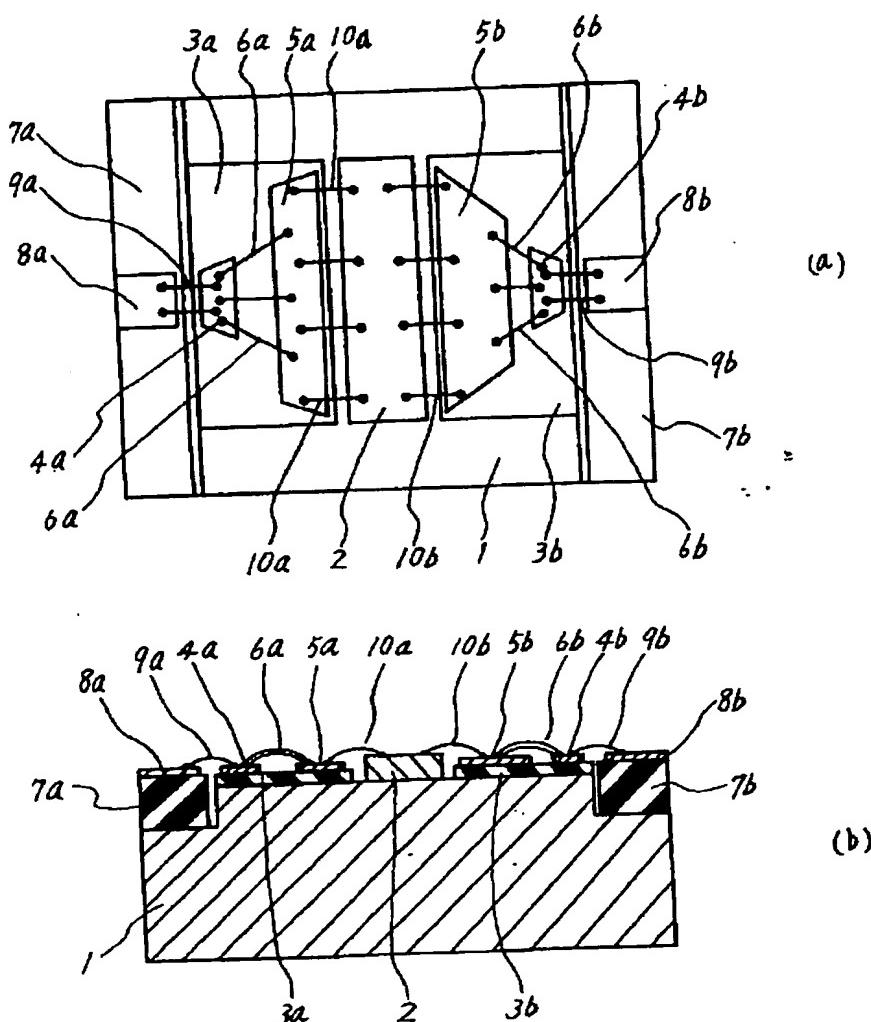
(4) 字挿入  
4字挿入

(4) 字挿入  
4字挿入

20

代理人 弁理士 内 原 晋

特許庁  
出願番号  
平成12年1月1日  
登録番号  
平成12年1月1日



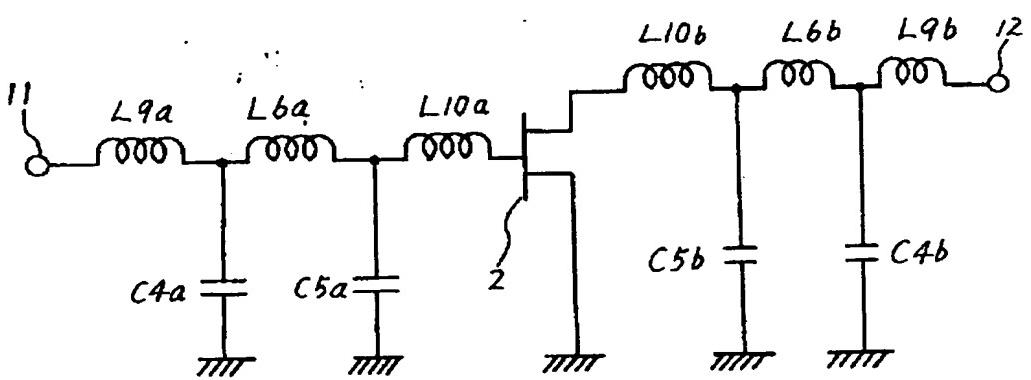
第1図

138421/2

代理人 劇理士 内原

晋

238



第 2 図

代理人 弁理士 内原 晋



138421

239

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.